

CLIPPEDIMAGE= JP02000114379A

PAT-N : JP02000114379A

DOCUMENT-IDENTIFIER: JP 2000114379 A

TITLE: METHOD FOR DESIGNING INTEGRATED CIRCUITS AND APPARATUS FOR DESIGNING INTEGRATED CIRCUITS

PUBN-DATE: April 21, 2000

INVENTOR-INFORMATION:

NAME	COUNTRY
WATANABE, SUSUMU	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
TOSHIBA CORP	N/A

APPL-NO: JP10275596

APPL-DATE: September 29, 1998

INT-CL_(IPC): H01L021/82; G06F017/50

ABSTRACT:

PROBLEM TO BE SOLVED: To realize high efficiency for parallel processing of an LSI design- layout data while maintaining its layered structure with the use of a computer capable of parallel processing of data.

SOLUTION: A first composition is constituted of a cell divided from a design-cell specified by a design-cell-data in an integrated-circuit design layout data under a cell-dividing determining criterion and an internal cell comprising the design cell other than the divided, a plurality of unit groups

**with an approximat ly equal data v lum by c mbining the internal
cell created,
and a hierarchical paralell pr cessing which is included in the internal
cell
for each unit group. and a second composition comprises restoration
of a
non-repeated array-data region, excluding data-regions having
repeated data
from among array-data regions comprising array-data in an
integrated-circuit
design-layout data by combining a plurality of singular array-cells or
unit
cells.**

COPYRIGHT: (C)2000,JPO

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-114379

(P2000-114379A)

(43)公開日 平成12年4月21日 (2000.4.21)

(51)Int.Cl.⁷

H 01 L 21/82
G 06 F 17/50

識別記号

F I

H 01 L 21/82
G 06 F 15/60

テマコード(参考)

C 5 B 0 4 6
6 5 4 G 5 F 0 6 4
6 5 8 A

審査請求 未請求 請求項の数13 O L (全 14 頁)

(21)出願番号

特願平10-275596

(22)出願日

平成10年9月29日 (1998.9.29)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 渡邊 進

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

(74)代理人 100064285

弁理士 佐藤 一雄 (外3名)

Fターム(参考) 5B046 AA08 BA05 KA03

5F064 DD04 DD05 DD07 DD19 DD47

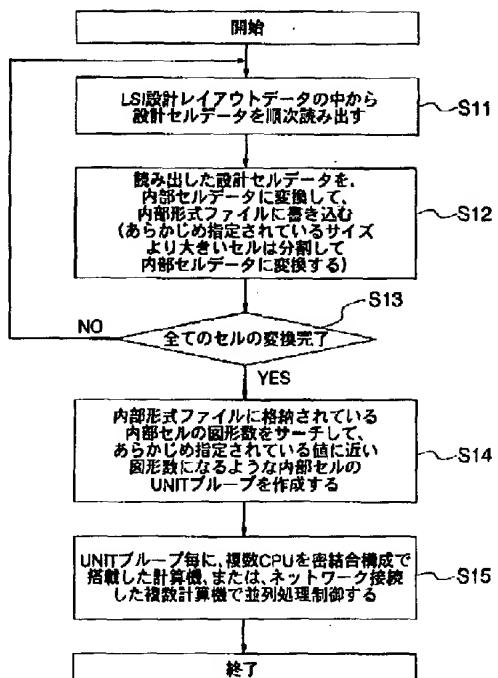
FF60 HH06 HH11 HH12 HH20

(54)【発明の名称】 集積回路設計方法及び集積回路設計装置

(57)【要約】

【課題】 データの並列処理が可能な計算機を用いて、階層構造を保持したまま行うLSI設計レイアウトデータの並列処理の高効率化を図る。

【解決手段】 本発明に係る集積回路設計方法及び集積回路設計装置は、第1の構成として、集積回路設計レイアウトデータの中の設計セルデータにより特定される設計セルをセル分割判断基準に基づき分割した分割セルと分割したもの以外の前記設計セルとからなる内部セルとし、前記内部セルを組み合わせることによりデータ量のほぼ等しい複数のユニットグループを作成して、前記ユニットグループごとに前記内部セルに含まれているデータの階層的並列処理を行い、第2の構成として、集積回路設計レイアウトデータの中のアレイデータが含まれているアレイデータ領域のうち重複するデータを有するデータ領域を除外した非重複アレイデータ領域を、複数若しくは単数のアレイセル又は単位セルの組合せにより復元する。



【特許請求の範囲】

【請求項1】集積回路設計レイアウトデータの中の設計セルデータにより特定される設計セルをセル分割判断基準に基づき分割した分割セルと分割したもの以外の前記設計セルとからなる内部セルとし、前記内部セルを組み合わせることによりデータ量のほぼ等しい複数のユニットグループを作成して、前記ユニットグループごとに前記内部セルに含まれているデータの階層的並列処理を行うことを特徴とする集積回路設計方法。

【請求項2】記憶手段に記憶された集積回路設計レイアウトデータの中から設計セルについての設計セルデータを順次読み出す第1の過程と、

前記設計セルデータと予め指定されたセル分割判断基準とを参照し、前記設計セルのうち前記セル分割判断基準を超えているものは分割して分割セルとし、前記分割セルと分割されたもの以外の前記設計セルとからなる内部セルについての内部セルデータに前記設計セルデータを変換して、前記記憶手段に作成した内部形式ファイルに前記内部セルデータを記憶し、かつ、前記記憶手段に作成した内部セル識別番号テーブルに、前記各内部セルを識別するための各種情報及び前記各内部セルに含まれているデータ量を登録する第2の過程と、

前記第1及び第2の過程が総ての前記設計セルデータについて完了するまで、前記第1及び第2の過程を繰り返す第3の過程と、

前記内部セル識別番号テーブルに登録された前記各内部セルに含まれているデータ量を参照して、予め指定されている基準データ量に近いデータ量になるように前記内部セルを組み合わせて複数のユニットグループを作成し、前記記憶手段に作成したユニットグループテーブルに、前記各ユニットグループを識別するための各種情報を登録する第4の過程と、

前記内部セル識別番号テーブル及び前記ユニットグループテーブルを参照し、前記内部形式ファイルに記憶されている各内部セルデータのデータ処理を前記ユニットグループごとの並列処理制御の下で行う第5の過程と、を備えたことを特徴とする集積回路設計方法。

【請求項3】前記第5の過程における前記データ処理を行う際に、前記ユニットグループテーブルを参照し、前記ユニットグループごとに前記内部セルを所定の間隔を置いて配置したマスクデータ処理用作業ファイルを予め前記記憶手段に作成し、前記マスクデータ処理用作業ファイルをも参照して前記データ処理を行うことを特徴とする請求項2に記載の集積回路設計方法。

【請求項4】前記セル分割判断基準は、前記設計セルに含まれているデータ量が基準データ量を超えているか否か、又は、設計平面上における縦軸方向若しくは横軸方向において前記設計セルの寸法が基準寸法を超えているか否か、のいずれか一以上の基準であることを特徴とする請求項1乃至3のいずれかに記載の集積回路設計方

法。

【請求項5】前記ユニットグループの作成は、前記各ユニットグループに含まれるデータ量がほぼ均一になるよう、前記内部セルのうち含まれているデータ量のより大きい前記内部セルと含まれているデータ量のより小さい前記内部セルとを交互に組み合わせて行うことを特徴とする請求項1乃至4のいずれかに記載の集積回路設計方法。

【請求項6】集積回路設計レイアウトデータその他の各種データを記憶する記憶手段と、

データの並列処理が可能な計算機と、

前記記憶手段に記憶された前記集積回路設計レイアウトデータの中から設計セルについての設計セルデータを読み出す設計セルデータ読出手段と、

前記設計セルデータと予め指定されたセル分割判断基準とを参照し、前記設計セルのうち前記セル分割判断基準を超えているものは分割して分割セルとし、前記分割セルと分割されたもの以外の前記設計セルとからなる内部セルについての内部セルデータに前記設計セルデータを変換して、前記記憶手段に作成した内部形式ファイルに前記内部セルデータを記憶し、かつ、前記記憶手段に作成した内部セル識別番号テーブルに、前記各内部セルを識別するための各種情報及び前記各内部セルに含まれているデータ量を登録する第2の過程と、

前記第1及び第2の過程が総ての前記設計セルデータについて完了するまで、前記第1及び第2の過程を繰り返す第3の過程と、

前記内部セル識別番号テーブルに登録された前記各内部セルに含まれているデータ量を参照して、予め指定されている基準データ量に近いデータ量になるように前記内部セルを組み合わせて複数のユニットグループを作成し、前記記憶手段に作成したユニットグループテーブルに、前記各ユニットグループを識別するための各種情報を登録する第4の過程と、

前記内部セル識別番号テーブルに登録された前記各内部セルに含まれているデータ量を参照して、予め指定されている基準データ量に近いデータ量になるように前記内部セルを組み合わせて複数のユニットグループを作成し、前記記憶手段に作成したユニットグループテーブルに、前記各ユニットグループを識別するための各種情報を登録する第5の過程と、

前記内部セル識別番号テーブル及び前記ユニットグループテーブルを参照し、前記計算機を使用して、前記内部形式ファイルに記憶されている各内部セルデータのデータ処理を前記ユニットグループごとの並列処理制御の下で行う並列処理制御手段と、を備えたことを特徴とする集積回路設計装置。

【請求項7】集積回路設計レイアウトデータの中のアレイデータが含まれているアレイデータ領域のうち重複するデータを有するデータ領域を除外した非重複アレイデータ領域を、複数若しくは単数のアレイセル又は単位セルの組合せにより復元することを特徴とする集積回路設計方法。

【請求項8】記憶手段に記憶されている集積回路設計レイアウトデータの中からアレイデータを順次読み出す第1の過程と、

読み出した前記アレイデータを基準アレイデータとして設定し、前記記憶手段に作成した重複要素識別用記憶フ

ファイルに「重複なし」データとして登録する第2の過程と、前記記憶手段に記憶されている集積回路設計レイアウトデータの中から前記基準アレイデータが設定された基準アレイデータ領域のアレイセル要素に重複するデータを識別し、重複するデータを有する重複アレイセル要素に対応する前記重複要素識別用記憶ファイルのデータに「重複あり」データを書き込む第3の過程と、前記記憶手段から前記重複要素識別用記憶ファイルを読み込み、前記重複アレイセル要素に含まれている重複要素セルのセルデータを前記基準アレイデータ領域から除外した非重複アレイデータ領域を、複数若しくは単数のアレイセル又は単位セルの組合せにより復元する第4の過程と、を備えたことを特徴とする集積回路設計方法。

【請求項9】前記非重複アレイデータ領域の復元は、組み合わせるアレイセル又は単位セルの個数が最小限になるように行うことを特徴とする請求項7又は8のいずれかに記載の集積回路設計方法。

【請求項10】前記非重複アレイデータ領域の復元は、より寸法の大きいアレイセルを前記組合せに優先的に使用することにより行うことを特徴とする請求項7乃至9のいずれかに記載の集積回路設計方法。

【請求項11】データ領域の復元後、復元された復元データ領域に含まれているデータは前記集積回路設計レイアウトデータの階層構造を保持したままデータ処理を行い、データの重複により前記復元データ領域から除外された重複データ領域に含まれているデータのみを展開し又は単位セルデータに変換してデータ処理を行うことを特徴とする請求項7乃至10のいずれかに記載の集積回路設計方法。

【請求項12】記憶手段に記憶されている集積回路設計レイアウトデータの中からアレイデータを順次読み出すアレイデータ読出手段と、総ての前記アレイデータの読み出しが完了したか否かを判断するアレイデータ読出完了判断手段と、読み出した前記アレイデータを基準アレイデータとして設定し、前記記憶手段に作成した重複要素識別用記憶ファイルに「重複なし」データとして登録する重複要素識別用記憶ファイル作成手段と、前記記憶手段に記憶されている集積回路設計レイアウトデータの中から前記基準アレイデータが設定された基準アレイデータ領域のアレイセル要素に重複するデータを識別し、重複するデータを有する重複アレイセル要素に対応する前記重複要素識別用記憶ファイルのデータに「重複あり」データを書き込む重複データ識別書込手段と、前記記憶手段から前記重複要素識別用記憶ファイルを読み込み、前記重複アレイセル要素に含まれている重複要素セルのセルデータを前記基準アレイデータ領域から除外した非重複アレイデータ領域を、複数若しくは単数の

アレイセル又は単位セルの組合せにより復元する重複要素除外データ復元手段と、を備えたことを特徴とする集積回路設計装置。

【請求項13】請求項1乃至5又は7乃至11のいずれかに記載の集積回路設計方法をコンピュータシステムにおいて実行するコンピュータプログラムが記録されたことを特徴とするコンピュータプログラムの記録媒体。

【発明の詳細な説明】

【0001】

10 【発明の属する技術分野】本発明は集積回路設計方法及び集積回路設計装置に係り、特に、LSI設計レイアウトデータの階層的並列処理方法及びアレイセル再構成方法並びにそれらの方法を実行するCADツール並びにそれらの方法を実行するコンピュータプログラムを記録した記録媒体に関する。

【0002】

【従来の技術】近年における大規模集積回路（LSI）のレイアウトは階層的に設計されていることから、設計レイアウトデータを高速に処理する方法及び装置として、設計レイアウトデータの階層構造を保持したまま取り扱う方法及びCADツールが用いられている。この場合、階層構造を構成する各設計セルは、設計セルとしてのそのままの形態で取り扱われる。

【0003】一方、階層的なデータ処理方法とは別個の技術として、密結合構成の複数CPUを搭載した計算機、又は、ネットワーク接続した複数計算機を用いて設計レイアウトデータを並列処理するCADツールも用いられている。

【0004】これらのいずれもがその目的とするところは、設計レイアウトデータ処理の高速化及び作業用記憶ファイルの低減化にある。

【0005】他方、階層構造を有する設計レイアウトデータ処理の高速化及び作業用記憶ファイルの低減化のためには、繰り返しパターンデータにより表現されるアレイセルをいかに効率的に取り扱うかが重要なポイントとなる。アレイセルは、汎用メモリ製品には繰り返し数の大きい2次アレイが用いられるのが通常であり、マイクロコンピュータのRAM/ROMメモリ部等にも用いられている。LSI設計レイアウトデータを階層的に取り扱う場合に、アレイセルデータ領域に図形データ、セルデータ又は他のアレイデータが重複配置されているときは、アレイセルデータを展開するか、又は、単位配置セルデータに変換して処理を行うのがこれまでのデータ処理方法である。

【0006】

【発明が解決しようとする課題】図18は、階層構造を有するLSIのレイアウトの一例を示した説明図、図19は、図18に示したLSIの階層構造を示したブロック図である。

50 【0007】図18に示したLSIのレイアウトにおい

では、図19のブロック図にも示されるように、1チップを構成するROOTセル上に、2個のAセル、1個のBセル、6個のEセルが配置されており、さらにBセル上に、3個のCセル、2個のDセルが階層的に配置されている。ここでは、ROOTセルのサイズは10000 $\mu\text{m} \times 10000 \mu\text{m}$ 、Aセルのサイズは2000 $\mu\text{m} \times 8000 \mu\text{m}$ 、Bセルのサイズは3000 $\mu\text{m} \times 3000 \mu\text{m}$ 、Cセルのサイズは700 $\mu\text{m} \times 700 \mu\text{m}$ 、Dセルのサイズは1800 $\mu\text{m} \times 600 \mu\text{m}$ 、Eセルのサイズは500 $\mu\text{m} \times 1000 \mu\text{m}$ であるものとする。

【0008】従来は、LSIの設計レイアウトデータの階層構造を保持したまま取り扱う場合、設計セルに含まれる図形数の大小（データサイズの大小）又はサイズの大小に拘わらず、設計セルの形態のままで取り扱っていた。例えば、図18に示した例においては、ROOTセル、Aセル、Bセル、Cセル、Dセル、Eセルは、サイズが相当に異なるため、各セルに含まれる図形数、即ち、データサイズも相当に異なるにも拘わらず、ROOTセル、Aセル、Bセル、Cセル、Dセル、Eセルとして設計されたそのままの形態で取り扱っていた。そのため、密結合構成の複数CPUを搭載した計算機、又は、ネットワーク接続した複数計算機を用いて設計レイアウトデータを並列処理する場合、例えば、サイズが相当に異なるAセル及びEセルも同じレベルの処理単位として取り扱われることになる。極端な場合は、図形データが数個しか含まれていない設計セルと数百万個の図形データを含む巨大な設計セルとが同じレベルの処理単位として取り扱われることになる。その結果、従来の設計レイアウトデータの並列処理においては、以下のような大きな問題があった。

【0009】第一に、非常に多数種類、極端な場合は数千種類以上の設計セルを取り扱うことになり、並列処理を行うジョブを起動させるための前処理／後処理のためのオーバヘッド時間が大きくなる。

【0010】第二に、並列処理する各設計セルのデータ量が不均衡であるため、並列処理の各処理時間も不均衡となり、並列処理の処理時間の長短を左右する要素として巨大な設計セルの処理時間が支配的となり、並列処理の効果を発揮することができない。

【0011】また、従来は、LSI設計レイアウトデータを階層的に取り扱う場合に、Bセル上に配置されているCセル及びDセルのように、アレイセルデータ領域に図形データ、セルデータ又は他のアレイデータが重複配置されているときは、アレイセルデータを展開するか、又は、単位配置セルデータに変換して処理していた。そのため、膨大な数の図形データ及び単位配置セルデータを取り扱うことになり、処理時間が長時間となる問題と、大容量の作業用記憶ファイルが必要になる問題とがあった。

【0012】本発明は上記問題点に鑑みてなされたもの

で、その目的は、データの並列処理が可能な計算機を用いて、階層構造を保持したまま行うLSI設計レイアウトデータの並列処理の高効率化を図ることが可能な集積回路設計装置及び集積回路設計方法を提供することである。

【0013】

【課題を解決するための手段】本発明の第1の構成に係る集積回路設計方法及び集積回路設計装置によれば、集積回路設計レイアウトデータの中の設計セルデータにより特定される設計セルをセル分割判断基準に基づき分割した分割セルと分割したもの以外の前記設計セルとからなる内部セルとし、前記内部セルを組み合わせることによりデータ量のほぼ等しい複数のユニットグループを作成して、前記ユニットグループごとに前記内部セルに含まれているデータの階層的並列処理を行うことを特徴とし、この構成により、並列して行われるユニットグループごとのデータ処理時間がほぼ等しくなり、LSI設計レイアウトデータの階層的並列処理を最も効率的に行うことができる。データ処理を行う際に、ユニットグループテーブルを参照し、ユニットグループごとに内部セルを所定の間隔を置いて配置したマスクデータ処理用作業ファイルを予め記憶手段に作成し、マスクデータ処理用作業ファイルをも参照してデータ処理を行うとよい。セル分割判断基準は、設計セルに含まれているデータ量が基準データ量を超えているか否か、又は、設計平面上における縦軸方向若しくは横軸方向において設計セルの寸法が基準寸法を超えているか否か、のいずれか一以上の基準とする。ユニットグループの作成は、各ユニットグループに含まれるデータ量がほぼ均一になるように、内部セルのうち含まれているデータ量のより大きい内部セルと含まれているデータ量のより小さい内部セルとを交互に組み合わせて行うとよい。

【0014】本発明の第2の構成に係る集積回路設計方法及び集積回路設計装置によれば、集積回路設計レイアウトデータの中のアレイデータが含まれているアレイデータ領域のうち重複するデータを有するデータ領域を除外した非重複アレイデータ領域を、複数若しくは単数のアレイセル又は単位セルの組合せにより復元することを特徴とし、この構成により、データ領域の復元後、復元された復元データ領域に含まれているデータは集積回路設計レイアウトデータの階層構造を保持したままデータ処理を行い、データの重複により復元データ領域から除外された重複データ領域に含まれているデータのみを展開し又は単位セルデータに変換してデータ処理を行うことが可能となり、データが重複していない領域までアレイセルデータを展開したり、総てのアレイデータを単位セルデータに変換して処理することができなくなり、処理時間と作業用記憶ファイルの容量とを大幅に低減することができる。非重複アレイデータ領域の復元は、組み合わせるアレイセル又は単位セルの個数が最小限になるよう

に行う。また、非重複アレイデータ領域の復元は、より寸法の大きいアレイセルを組合せに優先的に使用することにより行う。

【0015】本発明に係るコンピュータプログラムの記録媒体によれば、上記本発明の第1又は第2の構成に係る集積回路設計方法のいずれかをコンピュータシステムにおいて実行するコンピュータプログラムが記録されたことを特徴とする。

【0016】

【発明の実施の形態】以下、本発明に係る集積回路設計方法及び集積回路設計装置並びにその設計方法を実行するコンピュータプログラムを記録した記録媒体の実施の形態について、図面を参照しながら説明する。

【0017】図1は、本発明の第1の実施の形態に係る集積回路設計方法の手順を示したフローチャートであり、図2は、本発明の第1の実施の形態に係る集積回路設計装置の構成を示したブロック図である。本発明の第1の実施の形態に係る集積回路設計方法及び集積回路設計装置は、LSI設計レイアウトデータの階層的並列処理方法及びアレイセル再構成方法に関するものである。

【0018】図2に示した本発明の第1の実施の形態に係る集積回路設計装置は、LSI設計レイアウトデータ等の各種データを記憶する記憶手段26と、密結合構成の複数CPUを搭載した計算機、又は、ネットワーク接続した複数計算機等、データの並列処理が可能な計算機27と、記憶手段26に記憶されたLSI設計レイアウトデータの中から設計セルデータを読み出す設計セルデータ読出手段21と、読み出した設計セルデータを、予め指定された指定サイズより小さいサイズの設計セルと指定サイズより大きいサイズの設計セルを分割した分割セルとからなる内部セルについての内部セルデータに変換して、内部形式ファイルに書き込むセルデータ変換書込手段22と、総てのセルデータの変換が完了したかどうかを判断するセルデータ変換完了判断手段23と、内部形式ファイルに格納されている内部セルの図形数を検索し、予め指定されている値に近い図形数になるような内部セルのユニットグループを作成する内部セルユニットグループ作成手段24と、密結合構成の複数CPUを搭載した計算機、又は、ネットワーク接続した複数計算機等、データの並列処理が可能な計算機27を用いて、ユニットグループごとに設計セルデータの並列処理制御を行う並列処理制御手段25とから構成されている。

【0019】図1に示した本発明の第1の実施の形態に係る集積回路設計方法は、図2に示した本発明の第1の実施の形態に係る集積回路設計装置を用いて、以下のように行われる。

【0020】最初に、設計セルデータ読出手段21により、記憶手段26に記憶されたLSI設計レイアウトデータ261の中から設計セルデータを順次読み出す(ステップS11)。

【0021】次に、読み出した設計セルデータを、セルデータ変換書込手段22により内部セルデータに変換し、記憶手段26に内部形式ファイル262を作成して内部セルデータを書き込む(ステップS12)。ここで、設計セルデータから内部セルデータへの変換とは、読み出した設計セルデータを参照して、各設計セルのうち、寸法が予め指定されたセル分割判断寸法を超えており、かつ、含まれている図形数が予め指定されたセル分割判断図形数を超えているものを分割して分割セルとし、分割セルと分割されなかった設計セルとからなる内部セルについての内部セルデータに変換することを意味する。分割された原設計セルは、分割後の分割セルの参照情報のみを有し、図形データを含まないセルとして、原設計セルと同じ階層に変換作成され、原設計セルに含まれていた図形データは、分割後の分割セルに分割して格納される。また、セルデータの変換及び書込みの際に、記憶手段26に内部セル識別番号テーブル263を作成し、各内部セルを識別するための名称及び識別番号を各内部セルに付して登録する。この内部セル識別番号テーブル263には、各内部セルに含まれている図形数も登録する。

【0022】ステップS11及びステップS12における設計セルデータの読み出し並びにセルデータ変換及び書込みが、総てのセルデータについて完了したかどうかは、セルデータ変換完了判断手段により判断し(ステップS13)、設計セルデータの読み出し並びにセルデータ変換及び書込みが、総てのセルデータについて完了するまでステップS11及びステップS12を繰り返す。

【0023】設計セルデータの読み出し並びにセルデータ変換及び書込みが、総てのセルデータについて完了した後、内部セルユニットグループ作成手段24により、内部セル識別番号テーブル263を参照して、内部形式ファイル262に格納されている各内部セルに含まれている図形数を検索し、予め指定されている値に近い図形数になるように内部セルを組み合わせて、内部セルのユニットグループを作成する(ステップS14)。この際、記憶手段26にユニットグループテーブル264を作成し、各ユニットグループに含まれている内部セルの名称、識別番号及び配置座標を登録する。また、ユニットグループテーブル264に従って、ユニットグループごとに内部セルを所定の間隔を置いて配置したマスクデータ処理用作業ファイル265を記憶手段26に作成する。

【0024】最後に、並列処理制御手段25により、内部セル識別番号テーブル263及びユニットグループテーブル264、マスクデータ処理用作業ファイル265を参照し、計算機27を用いて、内部形式ファイル262に格納されている各内部セルデータのデータ処理をユニットグループごとの並列処理制御の下で行うと(ステップS15)、本発明の第1の実施の形態に係る集積回

路設計方法及び集積回路設計装置によるLSI設計レイアウトデータの階層的並列処理が終了する。

【0025】本発明の第1の実施の形態に係る集積回路設計方法及び集積回路設計装置によれば、集積回路設計レイアウトデータの中の設計セルデータにより特定される設計セルをセル分割判断基準に基づき分割した分割セルと分割したもの以外の設計セルとからなる内部セルとし、内部セルを組み合わせることによりデータ量のほぼ等しい複数のユニットグループを作成して、ユニットグループごとに内部セルに含まれているデータの階層的並列処理を行うこととしたので、並列して行われるユニットグループごとのデータ処理時間がほぼ等しくなり、LSI設計レイアウトデータの階層的並列処理を最も効率的に行うことができる。

【0026】以下、より具体的な例を示して、本発明の第1の実施の形態に係る集積回路設計方法及び集積回路設計装置について詳細に説明する。

【0027】図3は、階層構造を有するLSIのレイアウトの一例を示した説明図、図4は、図3に示したLSIの階層構造を示したブロック図であり、図18及び図19に示したのと同様の例である。

【0028】図3に示したLSIのレイアウトにおいては、図4のブロック図にも示されるように、1チップを構成するROOTセル上に、2個のAセル、1個のBセル、6個のEセルが配置されており、さらにBセル上に、3個のCセル、2個のDセルが階層的に配置されている。ここでは、X軸方向、Y軸方向のROOTセルのサイズは $10000\mu\text{m} \times 10000\mu\text{m}$ 、Aセルのサイズは $2000\mu\text{m} \times 8000\mu\text{m}$ 、Bセルのサイズは $3000\mu\text{m} \times 3000\mu\text{m}$ 、Cセルのサイズは $700\mu\text{m} \times 700\mu\text{m}$ 、Dセルのサイズは $1800\mu\text{m} \times 600\mu\text{m}$ 、Eセルのサイズは $500\mu\text{m} \times 1000\mu\text{m}$ であるものとし、各セルに含まれている图形数はAセルが1647000、Bセルが200000、Cセルが3860、Dセルが96000、Eセルが8730であるものとする。また、本実施の形態では、ROOTセルは图形データを含んでおらず、Aセル2個所、Bセル1個所、Eセル6個所の配置情報のみを有するものとする。

【0029】また、設計セルデータを内部セルデータに変換する際に、設計セルを分割するかどうかの判定基準として、セル分割判断寸法(Y軸方向) $2000\mu\text{m}$ 、セル分割判断图形数100000が指定されているものとする。即ち、設計セルのY軸方向の辺の寸法が $2000\mu\text{m}$ を超えており、かつ、設計セルに含まれている图形数が100000を超えているときは、Y軸方向において当該設計セルを複数の分割セルに分割する。さらに、上記判断基準に従い分割されなかった設計セルと分割された分割セルとからなる内部セルを組み合わせてユニットグループを作成する際の判断基準として、ユニットグループ判断图形数500000が指定されているも

のとする。即ち、組み合わされた内部セルに含まれている图形数の合計が500000を超えて、かつ、可能な限り500000に近くなるように、内部セルを組み合わせてユニットグループを作成する。尚、本実施の形態では、セル分割判断寸法はY軸方向の寸法のみで判断し分割を行っているが、X軸方向及びY軸方向の両方の寸法に対しセル分割判断寸法を指定し分割を行うようにしてもよい。

【0030】図5は、図3に示した階層構造を有するLSIのレイアウトの一例における設計セルを内部セルに変換した後の状態を示した説明図、図6は、図5に示したセル変換後のLSIの階層構造を示したブロック図である。

【0031】Aセル及びBセルは、Y軸方向の辺の寸法が $2000\mu\text{m}$ を超えており、かつ、含まれている图形数が100000を超えており、AセルはA1セル、A2セル、A3セル、A4セルに、BセルはB1セル、B2セルにそれぞれY軸方向において分割されている。A1セル、A2セル、A3セル、A4セルのサイズは $2000\mu\text{m} \times 2000\mu\text{m}$ であり、Y軸方向の辺の寸法は $2000\mu\text{m}$ 以下である。B1セル、B2セルのサイズは $3000\mu\text{m} \times 1500\mu\text{m}$ であり、Y軸方向の辺の寸法は $2000\mu\text{m}$ 以下である。また、セルを分割する際には、セルの種類の増加を抑制するため、可能な限り等サイズに分割するものとする。

【0032】セル変換後のLSIの階層構造は、図6に示されるように、ROOTセル上に、2個の空白のAセル、1個の空白のBセル、6個のEセルが配置され、2個の空白の各Aセル上に、A1セル、A2セル、A3セル、A4セルが配置され、1個の空白のBセル上に、3個のCセル、2個のDセル、B1セル、B2セルが配置されている。ROOTセル上に配置されている2個のAセル及び1個のBセルが、图形を含まない空白のセルとされているのは、AセルがA1セル、A2セル、A3セル、A4セルに分割され、BセルがB1セル、B2セルに分割された結果、Aセル及びBセルに含まれていた图形データは、それぞれA1セル、A2セル、A3セル、A4セル及びB1セル、B2セルに含まれている图形データとして分割して格納され、処理されるからである。

従って、セル変換後は、Aセル及びBセルはそれぞれA1セル、A2セル、A3セル、A4セル及びB1セル、B2セルの参照情報のみを有する空白のセルとして取り扱われ、セル変換後のLSIの階層構造は、2個の空白の各Aセル上に、A1セル、A2セル、A3セル、A4セルが配置され、1個の空白のBセル上に、3個のCセル、2個のDセル、B1セル、B2セルが配置された構造となっている。

【0033】また、本実施の形態では、ROOTセルは、图形データを含んでおらず、Aセル2個所、Bセル1個所、Eセル6個所の配置情報のみを有するものとし

ているので、ROOTセルのY軸方向の寸法はセル分割判断寸法2000μmを超えていても拘わらず分割されない。実際のLSI設計レイアウトデータにおいては、最上位階層のROOTセル等、上位階層の設計セルは予め指定されているセル分割判断寸法より大きいが、セル配置情報のみを有して图形データを含まないか、图形データを含んでいても少数の場合が多い。このような設計セルを分割することは、徒に内部セルの種類を増加させるだけで、本来目的とする処理の高速化に何等寄与しない。そこで、图形データを含まない設計セル、又は、セル分割判断图形数以下の图形数しか含まない設計セルについては、セル寸法の大小に拘わらず、分割処理は施さないこととしている。

【0034】以上説明した図5に示すように、図3に示した階層構造を有するLSIのレイアウトの一例における設計セルを内部セルに変換し、変換後の内部セルについての内部セルデータを、内部形式ファイルを作成して書き込む。

【0035】図7は、セルデータの変換及び書き込みの際に作成される内部セル識別番号テーブルの内容の一例を示す説明図である。

【0036】図7に示すように、内部セル識別番号テーブルには、各内部セルを識別するための名称及び識別番号、各内部セルに含まれている图形数が登録されている。図7に示した内部セル識別番号テーブルの内容は、内部セル識別番号テーブル作成直後のものであり、内部セルの登録順序は特に意味を持っておらず、内部セルの登録順序に従って通し番号が識別番号として付されている。Aセル、Bセルを分割した各セルに含まれている图形数は、A1セルが389000、A2セルが402000、A3セルが458000、A4セルが398000、B1セルが102000、B2セルが98000である。

【0037】図8は、含まれている图形数の小さい順に内部セルの登録順序整列後の内部セル識別番号テーブルの内容の一例を示す説明図である。

【0038】各内部セルに含まれている图形数の検索及び内部セルのユニットグループの作成を容易にするため、内部セル識別番号テーブルに登録されている内部セルの登録順序が、各内部セルに含まれている图形数の小さい順になるように、整列(ソート)を行ったものである。その結果、内部セルの登録順序は、Cセル、Eセル、Dセル、B2セル、B1セル、A1セル、A4セル、A2セル、A3セルの順に整列されている。

【0039】図9は、各ユニットグループの内部セル番号及び配置座標テーブルの内容の一例を示した説明図である。

【0040】図9に示した各ユニットグループの内部セル番号及び配置座標テーブルに格納される情報として、各ユニットグループに含まれている内部セルのセル番号

及びユニットグループ内における配置座標が格納されている。内部セルの名称も格納されているが、内部セルの名称は内部セル識別番号テーブルを参照し内部セル番号を検索すると分かるので、必ずしも各ユニットグループの内部セル番号及び配置座標テーブルに格納しなくてもよい。ユニット番号の後に付記された括弧内の数値は各ユニットに含まれる图形数を示している。

【0041】本実施の形態では、上述のように、内部セルを組み合わせてユニットグループを作成する際の判断基準として、ユニットグループ判断图形数500000が指定されているので、内部セル識別番号テーブルを参照し各内部セルに含まれている图形数を検索して、組み合わせられた内部セルに含まれている图形数の合計が500000を超える、可能な限り500000に近く、かつ、各ユニットグループに含まれる图形数がほぼ均一になるように、内部セルを組み合わせてユニットグループが作成されている。ユニットグループ作成の際、含まれている图形数の小さい内部セルから先にユニットグループ化してしまうと、含まれている图形数の大きい内部セルが後に残り、各ユニットグループに含まれる图形数をほぼ均一にすることが困難になる。そこで、本実施の形態では、内部セルのうち含まれている图形数のより大きいセルと含まれている图形数のより小さいセルとを交互に組み合わせて、ユニットグループ判断图形数500000に近い图形数が含まれることとなるようにユニットグループ作成を行っている。ここでは、A3セル、Cセル、Eセルが組み合わせられた图形数460590のユニットグループ1、A2セル、Dセルが組み合わせられた图形数498000のユニットグループ2、A4セル、B2セルが組み合わせられた图形数496000のユニットグループ3、A1セル、B1セルが組み合わせられた图形数491000のユニットグループ4の4つのユニットグループが作成されている。

【0042】図10は、各ユニットグループについてのマスクデータ処理用作業ファイルの内容の一例を示した説明図であり、図10(a)がユニットグループ1、図10(b)がユニットグループ2、図10(c)がユニットグループ3、図10(d)がユニットグループ4を示している。

【0043】図10に示した各ユニットグループについてのマスクデータ処理用作業ファイルは、図9に示した各ユニットグループの内部セル番号及び配置座標テーブルに従って作成されており、各ユニットグループの内部セルは、所定の間隔を置いて配置されている。内部セル間の所定の間隔は別途指定してもよいが、データ処理内容から以下のように自動的に決定してもよい。例えば、内部セルのデータ加工処理が图形データについてのAND、OR、NOT等の論理演算のみである場合には、1μm程度の微小値の間隔を置くようにし、一方、実際にLSIを作成する際のプロセス技術の精度との関係で、

图形データに太めの寸法補正加工処理を行う場合には、寸法補正する値の2倍以上の間隔を置くようとする。

【0044】本実施の形態では、X軸方向に所定の間隔を置いて内部セルを配置しているが、配置方法は、所定の間隔を置いて配置してあれば、X軸方向に限らず、Y軸方向、45度斜め方向、X軸又はY軸のマイナス値方向等でもよい。

【0045】マスクデータ処理用作業ファイルを作成後、密結合構成の複数CPUを搭載した計算機又はネットワーク接続した複数計算機等、データの並列処理が可能な計算機に所定のマスクデータ処理のジョブを起動し、上述のように作成した内部形式ファイル、各ユニットグループの内部セル番号及び配置座標テーブル、各ユニットグループについてのマスクデータ処理用作業ファイルを参照して、LSI設計レイアウトデータの階層構造を保持したままユニットグループごとの並列処理制御を行う。起動するジョブの制御は、予め指定されている並列度に従って並列処理制御する。

【0046】例えば、並列度2と指定された場合の並列処理制御は以下のように行われる。本実施の形態のLSI設計レイアウトデータは4つのユニットグループで構成されているので、並列処理の際は、先ず、ユニットグループ1のマスクデータ処理用作業ファイルを作成してジョブ起動し、引き続いてユニットグループ2のマスクデータ処理用作業ファイルを作成してジョブ起動する。ここで、並列度指定が2なので、ユニットグループ1又はユニットグループ2のいずれかの処理が終了するまでジョブ起動処理は待機状態とし、ジョブが終了したかどうかを一定時間間隔で調べる処理を繰り返す。ユニットグループ1又はユニットグループ2のいずれかの処理が終了次第、処理終了したユニットグループのマスクデータ処理結果の後処理を行い、ユニットグループ3のマスクデータ処理用作業ファイルを作成してジョブ起動する。以降は、上記手順を繰り返す。

【0047】各ユニットグループのマスクデータ処理結果の後処理の具体的な取り扱いについては本発明の範囲外の事項なので、詳細は割愛するが、内部形式ファイルに格納されている各内部セルのサイズと、各ユニットグループの内部セル番号及び配置座標テーブルとを参照して、マスクデータ処理用作業ファイルからとの内部セルに戻すことが容易にできる。

【0048】また、ネットワーク接続した複数計算機で並列処理する場合は、ジョブ起動する前にユニットグループごとのマスクデータ作業ファイルを転送する処理と、ジョブ終了後にマスクデータ処理結果を後処理計算機に転送する処理とが必要になる。

【0049】図11は、本発明の第2の実施の形態に係る集積回路設計方法の手順を示したフローチャートであり、図12は、本発明の第2の実施の形態に係る集積回路設計装置の構成を示したブロック図である。本発明の

第2の実施の形態に係る集積回路設計方法及び集積回路設計装置は、LSI設計レイアウトデータの階層的処理を行う場合におけるアレイセル再構成方法に関するものである。

【0050】図12に示した本発明の第2の実施の形態に係る集積回路設計装置は、LSI設計レイアウトデータ461等の各種データを記憶する記憶手段46と、記憶手段46に記憶されたLSI設計レイアウトデータの中からアレイデータを読み出すアレイデータ読出手段4

10 1と、総てのアレイデータの読み出しが完了したかどうかを判断するアレイデータ読出完了判断手段42と、読み出したアレイデータを基準アレイデータとして設定し、重複要素識別用記憶ファイルを作成する重複要素識別用記憶ファイル作成手段43と、LSI設計レイアウトデータの中から基準アレイデータが設定された基準アレイデータ領域のアレイセル要素に重複する图形データ、セルデータ又は他のアレイデータを識別して、重複するデータを有する重複アレイセル要素のアレイセル要素番号を算出し、重複アレイセル要素に対応する重複要素識別用記憶ファイルのデータに書き込む重複データ識別書込手段44と、重複要素識別用記憶ファイルを読み込み、重複アレイセル要素に含まれている重複要素セルのデータを基準アレイデータ領域から除いたセルデータ領域を、複数若しくは単数のアレイセル又は単位セルの組合せにより復元する重複要素除外セルデータ復元手段45とから構成されている。

【0051】図11に示した本発明の第2の実施の形態に係る集積回路設計方法は、図12に示した本発明の第2の実施の形態に係る集積回路設計装置を用いて、以下のように行われる。

【0052】最初に、アレイデータ読出手段41により、記憶手段46に記憶されているLSI設計レイアウトデータ461の中からアレイデータを順次読み出す（ステップS31）。ここで、総てのアレイデータの読み出しが完了している場合には処理を終了するが、総てのアレイデータの読み出しが完了していない場合には次の手順へ進む（ステップS32）。

【0053】アレイデータの読み出し後、重複要素識別用記憶ファイル作成手段43により、記憶手段46に重複要素識別用記憶ファイル462を作成し、読み出したアレイデータを基準アレイデータとして設定して登録する（ステップS33）。即ち、読み出したアレイデータについてビットマップ形式の重複要素識別用記憶ファイル462を作成し、ビット値は総て「重複なし」を意味する“0”とする。

【0054】重複要素識別用記憶ファイル462の作成後、重複データ識別書込手段44により、記憶手段46に記憶されているLSI設計レイアウトデータ461の中から基準アレイデータが設定された基準アレイデータ領域のアレイセル要素に重複する图形データ、セルデータ

50

タ又は他のアレイデータを識別し、重複するデータを有する重複アレイセル要素に対応する重複要素識別用記憶ファイル462のデータに書き込む(ステップS34)。具体的には、アレイ配置座標及び繰り返しピッチ座標と、重複する図形データ、セルデータ又は他のアレイデータの座標値とを比較して、重複するアレイ要素番号を算出する。重複するアレイ要素のビット値は「重複あり」を意味する“1”に書き換える。

【0055】その後、重複要素除外セルデータ復元手段45により、重複要素識別用記憶ファイル462を読み込んで、重複アレイセル要素に含まれている重複要素セルのセルデータを基準アレイデータ領域から除外したデータ領域を、複数若しくは単数のアレイセル又は単位セルの組合せにより復元する(ステップS35)。具体的には、(1)LSI設計レイアウトデータから基準アレイセルデータを消去すること、(2)重複要素アレイセルデータを展開すること、(3)重複要素識別用記憶ファイル462から組み合わせた複数若しくは単数のアレイセル又は単位セルを、LSI設計レイアウトデータに書き込むこと、の3つの動作を行う。

【0056】データ領域の復元後は、復元された復元データ領域についてはデータの階層構造を保持したままデータ処理を行い、データの重複により復元データ領域から除外された重複データ領域のデータのみを展開し又は単位セルデータに変換してデータ処理を行う。

【0057】図13は、基準アレイデータ及び重複データの構成の一例を示した説明図である。

【0058】図13に示した基準アレイデータ111は、ロウ(row)数6行、カラム(column)数6列であり、基準アレイデータ領域111の2カ所のアレイ要素に図形データ112、113がそれぞれ重複配置されている。

【0059】図14は、図13に示した基準アレイデータ及び重複データの構成から作成される重複要素識別用記憶ファイルの一例を示した説明図である。

【0060】図14に示した重複要素識別用記憶ファイルは、ビットマップ形式で作成した例であり、アレイデータの各アレイ要素が各ビットデータに対応している。即ち、基準アレイデータが図13に示したような6行6列の2次アレイであるときは、重複要素識別用記憶ファイルも6行6列のビットマップとなる。ビットデータ“0”は重複配置のないアレイ要素を示しており、ビットデータ“1”は重複配置のあるアレイ要素を示している。

【0061】図15は、図14に示した重複要素識別用記憶ファイルから復元されたアレイデータの構成を示した説明図であり、6つの例を図15(a)から(f)に示している。

【0062】図13及び図14の例についての復元アレイの最小復元アレイ数は5個であり、図15(a)から

(f)に示されたタイプ1からタイプ6のいずれの例においても、基準アレイデータ領域から重複要素セル(白抜き部分)を除外したセルデータ領域(着色部分)が、最小復元アレイ数5個の組合せにより復元されている。即ち、図15(a)のタイプ1では 6×2 、 5×1 、 3×3 、 2×1 、 3×2 の5個のアレイの組合せ、図15(b)のタイプ2では 1×2 、 3×3 、 2×6 、 3×1 、 4×2 の5個のアレイの組合せ、図15(c)のタイプ3では 1×2 、 5×3 、 3×1 、 2×1 、 6×2 の5個のアレイの組合せ、図15(d)のタイプ4では 6×2 、 5×1 、 3×3 、 1×2 、 2×3 の5個のアレイの組合せ、図15(e)のタイプ5では 1×2 、 5×3 、 3×3 、 2×1 、 3×2 の5個のアレイの組合せ、図15(f)のタイプ6では 1×2 、 3×3 、 2×6 、 3×3 、 1×2 の5個のアレイの組合せにより、基準アレイデータ領域から重複要素セルを除外したセルデータ領域が復元されている。図15(c)のタイプ3では、 5×3 及び 6×2 の2次アレイが復元されており、繰り返しの多い2次アレイから順に復元した例が示されている。

【0063】X軸方向の連続要素を検索し、その後、検索された連続要素の幅でY軸方向に繰り返す要素を検索してアレイを復元した場合は、タイプ3又はタイプ4となる。タイプ3は、X軸方向の連続要素の幅でY軸方向に繰り返す要素を、Y値が増加する方向に検索した場合、タイプ4は、X軸方向の連続要素の幅でY軸方向に繰り返す要素を、Y値が減少する方向に検索した場合である。

【0064】Y軸方向の連続要素を検索し、その後、検索された連続要素の幅でX軸方向に繰り返す要素を検索してアレイを復元した場合は、タイプ1又はタイプ2となる。タイプ1は、Y軸方向の連続要素の幅でX軸方向に繰り返す要素を、X値が増加する方向に検索した場合、タイプ2は、Y軸方向の連続要素の幅でX軸方向に繰り返す要素を、X値が減少する方向に検索した場合である。

【0065】タイプ5及びタイプ6は、上述のいずれの方法からも復元されないタイプであるが、上述の基本的な復元方法に若干の修正を加えることにより復元されるタイプである。

【0066】本発明の第2の実施の形態に係る集積回路設計方法及び集積回路設計装置によれば、集積回路設計レイアウトデータの中のアレイデータが含まれているアレイデータ領域のうち重複するデータを有するデータ領域を除外した非重複アレイデータ領域を、複数若しくは単数のアレイセル又は単位セルの組合せにより復元することとしたので、データ領域の復元後、復元された復元データ領域に含まれているデータは集積回路設計レイアウトデータの階層構造を保持したままデータ処理を行い、データの重複により復元データ領域から除外された

重複データ領域に含まれているデータのみを展開し又は単位セルデータに変換してデータ処理を行うことが可能となり、データが重複していない領域までアレイセルデータを展開したり、総てのアレイデータを単位セルデータに変換して処理することができなくなり、処理時間と作業用記憶ファイルの容量とを大幅に低減することができる。

【0067】実際に集積回路設計における集積回路設計レイアウトデータの処理を行う場合、本発明の第2の実施の形態に係る集積回路設計方法及び集積回路設計装置によるデータ処理を行ってから本発明の第1の実施の形態に係る集積回路設計方法及び集積回路設計装置によるデータ処理を行うと、両実施の形態における効果を得ることができ、集積回路設計レイアウトデータの処理をより効率的に行うことができる。

【0068】図16は、本発明に係る第1又は第2の実施の形態に係る集積回路設計方法を実行するコンピュータプログラムが記録された記録媒体及びその記録媒体が使用されるコンピュータシステムの外観構成を示した説明図、図17は、図16に示したコンピュータシステムの構成を示すブロック図である。

【0069】図16に示したコンピュータシステムは、ミニタワー型等の筐体に収納されたコンピュータ本体51と、CRT (Cathode Ray Tube:陰極線管)、プラズマディスプレイ、液晶表示装置等の表示装置52と、記録出力装置としてのプリンタ53と、入力装置としてのキーボード54a及びマウス54bと、フレキシブルディスクドライブ装置56と、CD-ROMドライブ装置57とから構成されている。図17は、このコンピュータシステムの構成をブロック図として表示したものであり、コンピュータ本体51が収納された筐体内には、RAM (Random Access Memory) 等の内部メモリ55と、ハードディスクドライブユニット58等の外部メモリがさらに設けられている。本発明に係る第1又は第2の実施の形態に係る集積回路設計方法を実行するコンピュータプログラムが記録された記録媒体は、このコンピュータシステムで使用される。記録媒体としては、例えば、フレキシブルディスク61、CD-ROM (Read Only Memory) 62が用いられるが、その他、MO (Magneto Optical) ディスク、DVD (Digital Versatile Disk)、その他の光学的記録ディスク、カードメモリ、磁気テープ等を用いてもよい。

【0070】

【発明の効果】本発明の第1の構成に係る集積回路設計方法及び集積回路設計装置によれば、集積回路設計レイアウトデータの中の設計セルデータにより特定される設計セルをセル分割判断基準に基づき分割した分割セルと分割したもの以外の前記設計セルとからなる内部セルとし、前記内部セルを組み合わせることによりデータ量のほぼ等しい複数のユニットグループを作成して、前記ユ

ニットグループごとに前記内部セルに含まれているデータの階層的並列処理を行うこととしたので、並列して行われるユニットグループごとのデータ処理時間がほぼ等しくなり、LSI設計レイアウトデータの階層的並列処理を最も効率的に行うことができる。

【0071】本発明の第2の構成に係る集積回路設計方法及び集積回路設計装置によれば、集積回路設計レイアウトデータの中のアレイデータが含まれているアレイデータ領域のうち重複するデータを有するデータ領域を除

10 外した非重複アレイデータ領域を、複数若しくは単数のアレイセル又は単位セルの組合せにより復元することとしたので、データ領域の復元後、復元された復元データ領域に含まれているデータは集積回路設計レイアウトデータの階層構造を保持したままデータ処理を行い、データの重複により復元データ領域から除外された重複データ領域に含まれているデータのみを展開し又は単位セルデータに変換してデータ処理を行うことが可能となり、データが重複していない領域までアレイセルデータを展開したり、総てのアレイデータを単位セルデータに変換して処理することができなくなり、処理時間と作業用記憶ファイルの容量とを大幅に低減することができる。

【0072】本発明に係るコンピュータプログラムの記録媒体によれば、上記本発明の第1又は第2の構成に係る集積回路設計方法のいずれかをコンピュータシステムにおいて実行するコンピュータプログラムが記録されたものとしたので、集積回路設計に使用することにより、上記本発明の第1又は第2の構成に係る集積回路設計方法の効果を得ることができる。

【図面の簡単な説明】

30 【図1】本発明の第1の実施の形態に係る集積回路設計方法の手順を示したフローチャート。

【図2】本発明の第1の実施の形態に係る集積回路設計装置の構成を示したブロック図。

【図3】階層構造を有するLSIのレイアウトの一例を示した説明図。

【図4】図3に示したLSIの階層構造を示したブロック図。

【図5】図3に示した階層構造を有するLSIのレイアウトの一例における設計セルを内部セルに変換した後の状態を示した説明図。

【図6】図5に示したセル変換後のLSIの階層構造を示したブロック図。

【図7】セルデータの変換及び書き込みの際に作成される内部セル識別番号テーブルの内容の一例を示す説明図。

【図8】含まれている図形数の小さい順に内部セルの登録順序整列後の内部セル識別番号テーブルの内容の一例を示す説明図。

【図9】各ユニットグループの内部セル番号及び配置座標テーブルの内容の一例を示した説明図。

40 50 【図10】各ユニットグループについてのマスクデータ

処理用作業ファイルの内容の一例を示した説明図。

【図11】本発明の第2の実施の形態に係る集積回路設計方法の手順を示したフローチャート。

【図12】本発明の第2の実施の形態に係る集積回路設計装置の構成を示したブロック図。

【図13】基準アレイデータ及び重複データの構成の一例を示した説明図。

【図14】図13に示した基準アレイデータ及び重複データの構成から作成される重複要素識別用記憶ファイルの一例を示した説明図。

【図15】図14に示した重複要素識別用記憶ファイルから復元されたアレイデータの構成を示した説明図。

【図16】本発明に係る第1又は第2の実施の形態に係る集積回路設計方法を実行するプログラムが記録された記録媒体及びその記録媒体が使用されるコンピュータシステムの外観構成を示した説明図。

【図17】図16に示したコンピュータシステムの構成を示すブロック図。

【図18】階層構造を有するLSIのレイアウトの一例を示した説明図。

【図19】図18に示したLSIの階層構造を示したブロック図。

【符号の説明】

- 21 設計セルデータ読出手段
- 22 セルデータ変換書込手段
- 23 セルデータ変換完了判断手段
- 24 内部セルユニットグループ作成手段

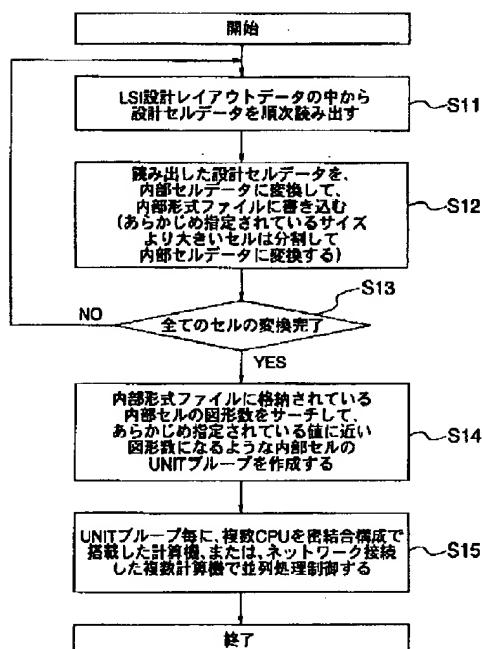
10 25 並列処理制御手段

26 記憶手段

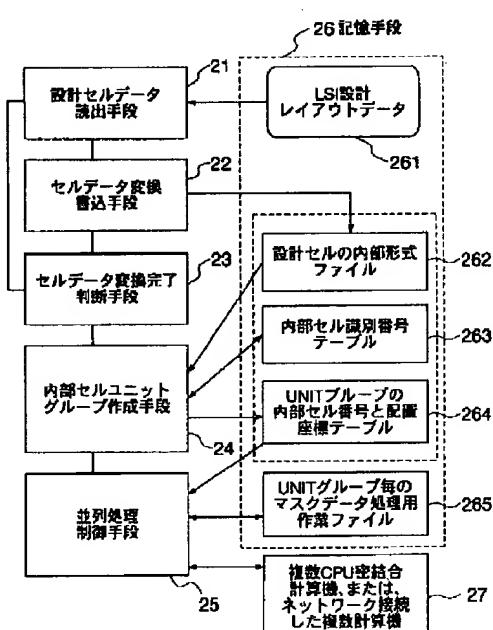
27 計算機

- 41 アレイデータ読出手段
- 42 アレイデータ読出完了判断手段
- 43 重複要素識別用記憶ファイル作成手段
- 44 重複データ識別書込手段
- 45 重複要素除外セルデータ復元手段
- 46 記憶手段

【図1】



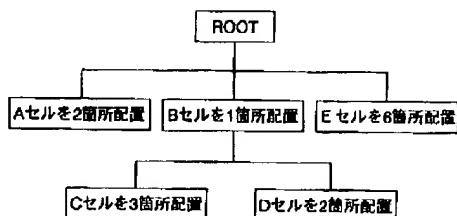
【図2】



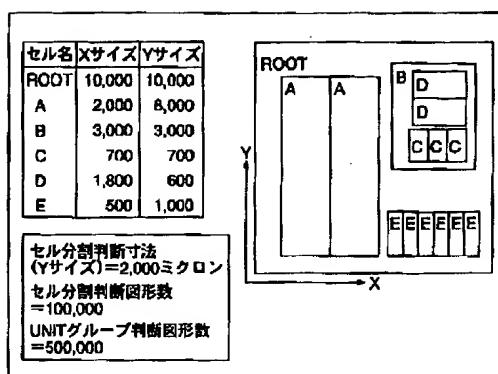
【図4】

000000
000000
100000
000100
000000
000000

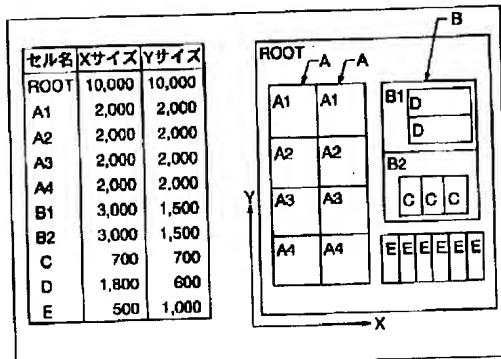
【図4】



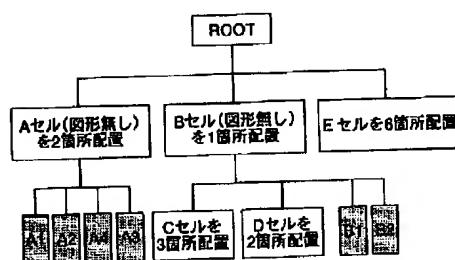
【図3】



【図5】



【図6】



【図7】

内部セル識別番号テーブル

①(A1;389,000)
②(A2;402,000)
③(A3;458,000)
④(A4;398,000)
⑤(B1;102,000)
⑥(B2;98,000)
⑦(C;3,860)
⑧(D;98,000)
⑨(E;8,730)

内部セル識別番号テーブル
(図形数小から大にソート後)

⑦(C;3,860)
⑨(E;8,730)
③(D;98,000)
⑥(B2;98,000)
⑤(B1;102,000)
①(A1;389,000)
④(A4;398,000)
②(A2;402,000)
③(A3;458,000)

【図8】

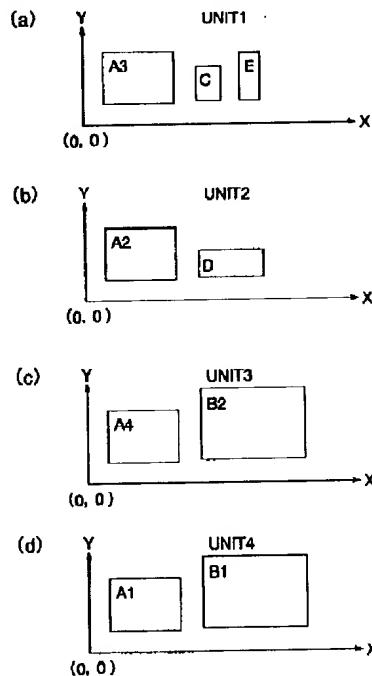
【図9】

UNITグループの内部セル番号と配置座標テーブル

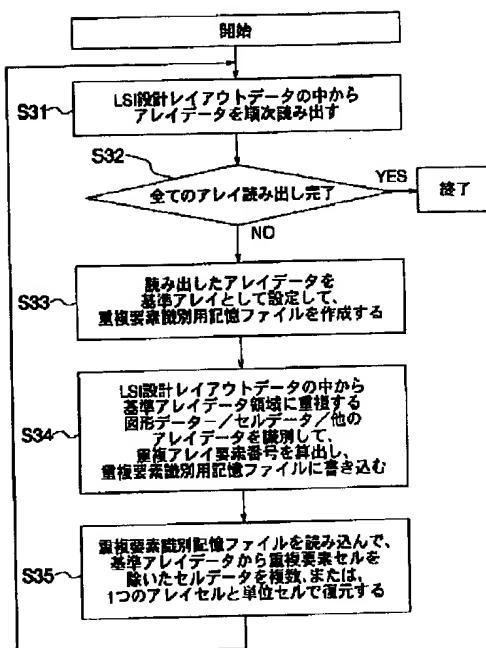
UNIT1(460,580)	③(A3;x,y),⑦(C;x,y),⑨(E;x,y)
UNIT2(498,000)	②(A2;x,y),⑧(D;x,y)
UNIT3(498,000)	④(A4;x,y),⑥(B2;x,y)
UNIT4(491,000)	①(A1;x,y),⑤(B1;x,y)

【図10】

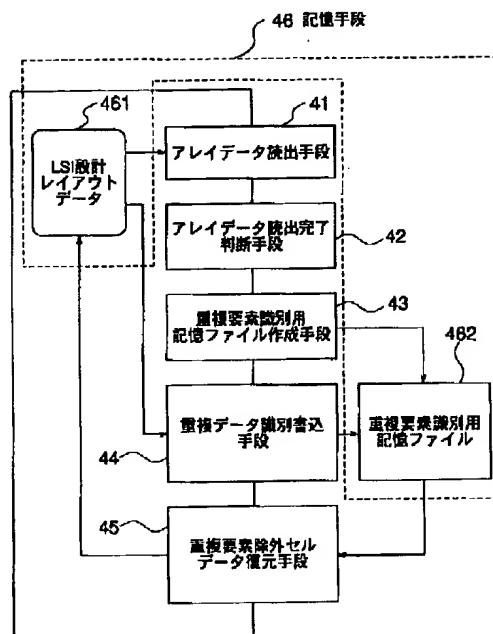
UNITグループ毎のマスクデータ処理用作業ファイル



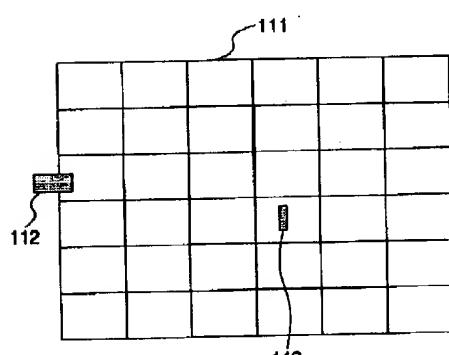
【図11】



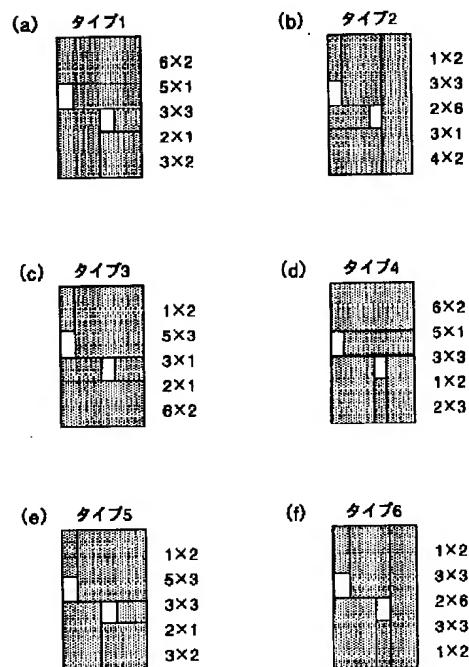
【図12】



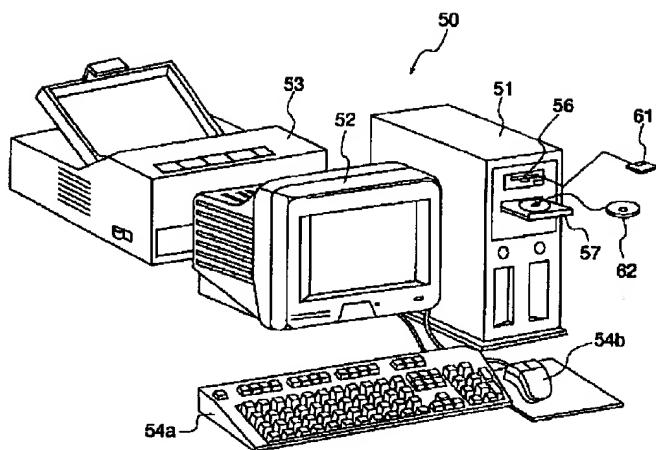
【図13】



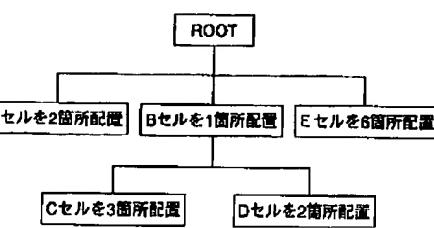
【図15】



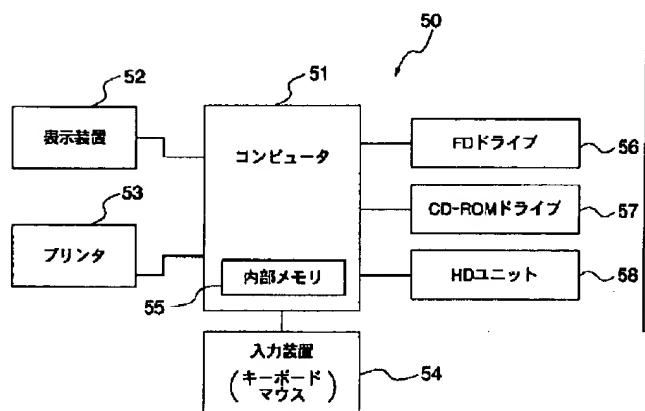
【図16】



【図19】



【図17】



【図18】

